

Capitolul 5. Performantele circuitelor VLSI.

5.1. Introducere.

Criteriul de performanta fundamental in oricare proiect VLSI este, de regula, viteza. Degradarea performantei apare ca rezultat al mai multor factori, care pot fi avuti in vedere in proiectare. Un exemplu comun este acela in care iesirea unui circuit CMOS, conectata la intrarea unui circuit similar, presupune o posibilitate de comanda (fan-out) nelimitata. Aceasta presupunere se poate verifica usor pe un numar redus de porti. Din pacate, pana acum, nu a fost specificata nici o restrictie de viteza. Daca se repeta experimentul la o frecventa de ceas de 1 MHz se va observa ca circuitul CMOS are posibilitati de comanda reduse. In capitolul de fata se vor face estimari pentru a putea evalua performantele circuitelor simple CMOS.

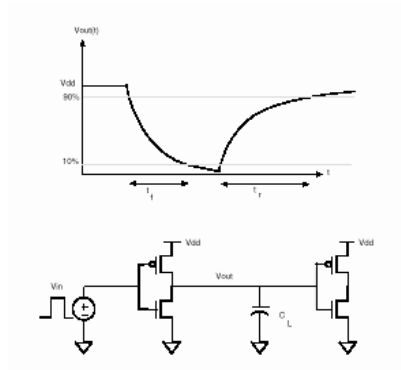
Plecand de la posibilitatile limitate de comanda in proiectarea circuitului se va putea constata ca acesta este in continuare lent. Prin inspectie se pot evidentia mai multe linii lungi de interconectare, care contribuie la degradarea performantei prin capacitatile parazite prezente. Modelele de comportament al acestor trasee lungi conduc, fie la constante (capacitati) concentrate, fie la constante (capacitati si rezistente) distribuite. Pentru a imbunatati proiectul se va creste posibilitatea de comanda a dispozitivului prin cresterea latimii canalului acestuia sau prin conectarea in cascada a unor dispozitive cu posibilitati mai mari de comanda. In aplicatii specifice pot fi luate in considerare solutii mixte BiCMOS sau solutii bazate pe dispozitive bipolare de mare viteza.

Trebuie sa se aibe in vedere faptul ca evaluarile care vor fi efectuate au un caracter estimativ. Ele vor permite o mai buna cunoastere a functionarii dispozitivului. Estimările nu urmaresc inlocuirea simulării detaliate, dar pot fi folosite pentru verificarea rapida a rezultatelor acesteia. Aspectele privitoare la performantele circuitelor VLSI sunt examinate pe larg in literatura de specialitate.

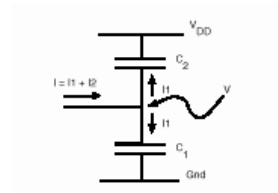
5.2. Caracteristicile de comutatie.

In vederea examinarii caracteristicilor de comutatie ale inversorului CMOS se va pleca de la schema de mai jos.

Se poate observa ca sarcina capacitiva este formata din capacitatea parazita a traseului in paralel cu capacitatea de intrare (capacitori MOS) a inversorului controlat. Avand in vedere potentialele GND si V_{DD} la care sunt conectati electrozii inferiori ai capacitatorilor portilor tranzistoarelor NMOS si PMOS, conectarea lor in paralel cu capacitatea parazita a traseului de legatura poate introduce unele confuzii.



Un calcul simplu bazat pe schema prezentata in continuare va face clarificarile necesare.



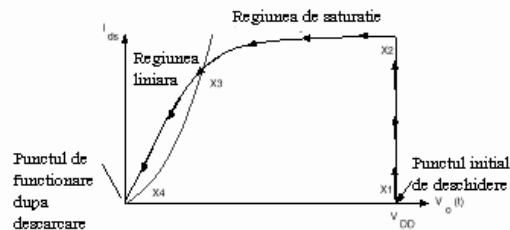
$$I = I_1 + I_2 = C_1 dV/dt + C_2 d(V-V_{DD})/dt = (C_1 + C_2) dV/dt.$$

Intrucat V_{DD} este o constanta capacitorii C_1 si C_2 se aduna ca si cand ar fi conectati in paralel. Capacitorul este incarcat sau descarcat, fie prin tranzistorul P, fie prin tranzistorul N ai inversorului. Intrucat aceste dispozitive prezinta o rezistenta atunci cand sunt in conductie ele vor contribui direct la intarzierea de tip RC a circuitului. Din cele aratate mai sus rezulta ca principala limitare o introduce viteza de comutare la incarcarea si descarcarea capacitorului de sarcina prin rezistenta dispozitivului.

Determinarea capacitatii se face prin estimarea suprafetei unui strat dat inmultita cu capacitatea pe unitatea de suprafata. Pentru un proces dat valoarea este tabelata si variaza de la un strat la altul. In cazul estimarii capacitatii straturilor de difuzie trebuie sa se aibe in vedere si contributia peretilor laterali. Aceasta se realizeaza prin evaluarea perimetrului de difuzie si inmultirea acestuia cu capacitatea pe unitatea de lungime. In cele mai multe cazuri R , din constanta de timp, RC rezulta direct din rezistenta canalelor tranzistoarelor in conductie prin care se efectueaza incarcarea si descarcarea sarcinii capacitive. Rezistenta parazita a liniilor lungi poate fi estimata prin evaluarea raportului Lungime/Latime si inmultirea acestuia cu rezistenta stratului exprimata in Ohm/patrat ($\Omega/$), care este constanta pentru straturi patrute cu laturi de dimensiuni variabile.

5.2.1 Determinarea timpului de cadere (t_f).

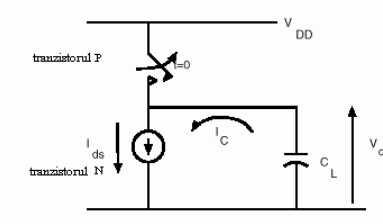
Timpul de cadere, notat cu t_f , poate fi definit prin timpul necesar unei forme de unda de a cadea de la 90% la 10% din valoarea maxima. Traectoria curentului de drena al tranzistorului de tip N, ca functie de tensiunea de drena, este prezentata mai jos.



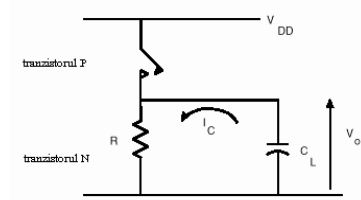
Aceasta traiectorie ilustreaza parcursul prin caracteristicile I-V, corespunzatoare unui inversor care descarca o sarcina capacitiva C_L .

In continuare vor fi examinate cateva din punctele semnificative ale traiectoriei.

- X_1 : inaintea descarcarii lui C_L , tranzistorul N (trage-jos sau pull-down) este blocat si C_L este mentinut la V_{DD} prin intermediul tranzistorului de tip P (trage-sus sau pull-up);
- X_2 : punctul corespunzator comutarii intrarii de la GND la V_{DD} . Tranzistorul N este in saturatie;
- X_3 : punctul in care tranzistorul N comuta de la saturatie la regiunea liniara;
- X_4 : punctul de operare dupa comutarea completa, cand sarcina capacitiva este descarcata.
- In timpul descarcarii lui C_L tranzistorul N este initial in saturatie intre punctele X_2 si X_3 , iar apoi in regiunea liniara de operare intre punctele X_3 si X_4 . Procesul este ilustrat in figura de mai jos si comentat astfel:
 - a) in timpul descarcarii initiale a lui C_L , $V_{DS} > V_{GS} - V_{th}$, tranzistorul N fiind in saturatie, ceea ce face ca C_L sa fie descarcat, printr-o sursa de curent, cu o variatie liniara a tensiunii, deoarece $Q=CV$ si $I=dQ/dt$.
 - b) cand tensiunea de la iesire se reduce astfel incat $V_{DS} = V_o = V_{GS} - V_{th}$, tranzistorul N intra in regiunea liniara si descarca sarcina capacitiva C_L (cadere exponentiala a tensiunii).



a) saturatie: $V_o > V_{DD} - V_m$,



b) liniara: $0 < V_o < V_{DD} - V_m$

cea mai simpla metoda de a estima timpul de cadere consta in divizarea operarii tranzistorului N in regiunile de saturatie si liniara. Astfel, t_f va avea doua componente t_{f1} si t_{f2} definite dupa cum urmeaza:

t_{f1} timpul de cadere de la $0.9V_{DD}$ la $V_{DD} - V_m$

t_{f2} timpul de cadere de la $V_{DD} - V_m$ la $0.1V_{DD}$

- t_{f1} : se egaleaza curentul care trece prin sarcina capacitiva cu cel care trece prin tranzistorul N (egali si de semn contrar)

$$C_L dV_o/dt = -\beta_n/2 \cdot (V_{DD} - V_m)^2$$

Termenul din stanga reprezinta curentul prin CL, iar termenul din dreapta constituie curentul de saturatie (sursa de curent). Regiunea de interes va fi pentru $0.9V_{DD} \geq V_o \geq V_{DD} - V_m$.

- t_{f2} : aici se merge pe aceeasi idee ca mai sus, ceea ce va conduce la urmatoarea relatie:

$$C_L dV_o/dt = -\beta_n [(V_{DD} - V_m)V_o - V_o^2/2]$$

unde termenul din stanga reprezinta curentul prin sarcina capacitiva, iar termenul din dreapta constituie curentul prin tranzistorul aflat in regiunea liniara. Regiunea de interes este cea corespunzatoare conditiei: $V_{DD} - V_m \geq V_o \geq 0.1V_{DD}$.

Ambele ecuatii pot fi integrate pentru a obtine: $t_f = t_{f1} + t_{f2}$. Solutia pentru t_{f1} este directa:

$$\int_{V_{DD}}^{V_{DD}-V_m} C_L dV_O = -\int_0^{t_f} \beta_n / 2 (V_{DD}-V_m)^2 dt.$$

In mod similar t_{f2} poate fi gasit, printr-o integrare mai dificila. Astfel, se va obtine:

$$t_f = 2C_L / \beta_n (V_{DD}-V_m) \times [(V_m - 0.1V_{DD}) / (V_{DD}-V_m) + 1/2 \ln ((19V_{DD}-20V_m) / V_{DD})]$$

Presupunand o valoare rezonabila $V_m = 0.2V_{DD}$, se va obtine urmatoarea aproximatie utila pentru t_f

$$t_f \approx 4C_L / \beta_n V_{DD}.$$

Aceasta reprezinta o aproximatie rezonabila, care poate fi verificata prin simulare. De asemenea, ea permite examinarea mai profunda a procesului de descarcare. Anterior s-a anticipat o descarcare in principal de tip RC. In expresia de mai sus numaratorul poate fi asimilat cu sarcina capacitiva in timp ce inversul numitorul va corespunde aproximarii rezistentei canalului tranzistorului N, in regiunea liniara:

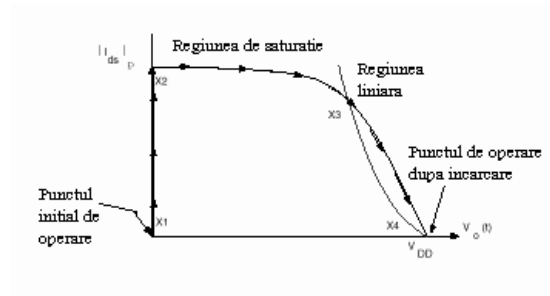
$$(\beta_n V_{DD})^{-1}$$

Pe aceasta baza se pot face diverse consideratii referitoare la faptul ca o crestere a amplificarii tranzistorului va conduce la cresterea vitezei, ca si cresterea lui V_{DD} . Aceasta din urma va antrena in sa o crestere a puterii disipate si a purtatorilor fierbinti injectati, ca urmare a cresterii intensitatii campului electric. Practic viteza de operare poate fi crescuta prin reducerea lui V_{DD} simultan cu scurtarea lungimii canalului tranzistorului.

5.2.2. Determinarea timpului de crestere.

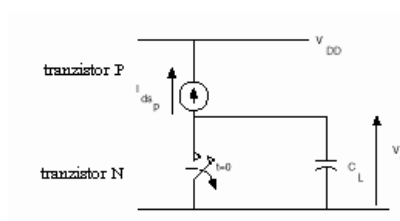
Timpul de crestere poate fie estimat in aceeasi maniera. Timpul de crestere, notat cu t_r , poate fi definit pe mai multe cai, in principiu echivalente. Una din definitii ar fi aceea a timpului necesar cresterii de la 10% la 90% din valoarea maxima, conform unei figuri anterioare. Traectoria curentului de drena al tranzistorului P, ca functie de tensiunea de drena, este prezentata mai jos.

Aceasta traiectorie ilustreaza traseul prin caracteristicile I-V corespunzatoare unui inversor cu sarcina capacitiva C_L . In continuare se vor examina mai multe puncte plasate pe traiectoria punctului de functionare.

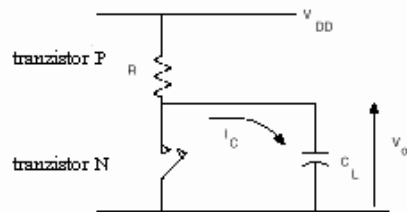


- X_1 : Inainte de incarcarea lui C_L , tranzistorul de tip P este blocat iar capacitatea C_L este mentinuta la 0V de catre tranzistorul de tip N, aflat in conductie (tranzistoarele N si P se mai numesc “trage-jos” si “trage-sus”).
- X_2 : Punctul corespunzator comutarii intrarii de la V_{DD} la GND. Tranzistorul P este in saturatie.
- X_3 : Punctul de tranzitie unde tranzistorul P comuta de la regiunea de saturatie la regiunea liniara.
- X_4 : Punctul de operare dupa terminarea comutarii. Sarcina capacitiva este incarcata la V_{DD} .

In timpul incarcarii lui C_L tranzistorul P este initial in saturatie, intre punctele X_2 si X_3 , iar apoi in regiunea liniara, intre punctele X_3 si X_4 . Acest proces de incarcare este ilustrat in figura urmatoare.



a) saturatie: $V_o > V_{DD} - V_{tn}$



b) liniara: $0 < V_o < V_{DD} - V_{tn}$

- a) In timpul incarcarii initiale a lui C_L tranzistorul P se afla in saturatie. Curentul constant care il strabate va incarca C_L (crestere liniara a tensiunii deoarece $Q = CV$ si $I = dQ/dt$).
- b) Cand tensiunea de iesire creste astfel incat $|V_o - V_{DD}| = |V_{GSp} - V_{tp}|$, adica V_o creste peste $|V_{tp}|$, tranzistorul P intra in regiunea liniara, C_L incarcandu-se prin rezistenta acestuia la V_{DD} . t_r poate fi calculat ca si t_f , ceea ce va conduce, cu conditia $|V_{tp}| \approx 0.2 \cdot V_{DD}$, la:

$$t_r \approx 4C_L / \beta_p V_{DD}$$

Daca geometriile celor doua dispozitive N si P sunt identice (acelasi rapoarte W/L) $t_f \approx t_r / 2$, datorita mobilitatii mai mari a electronilor in raport cu golurile ($\mu_n \approx 2\mu_p$). Astfel, pentru a avea timpii de crestere si cadere egali este necesar ca W_p sa fie de 2-3 mai mare decat W_n .

Un alt parametru comun este intarzierea pe poarta care poate fi definit din timpii de crestere si cadere dupa cum urmeaza:

$$\tau_{med} \approx (t_r + t_f) / 4.$$

Acest parametru este important in simulatoarele care incorporeaza timpul si comportarea logica.

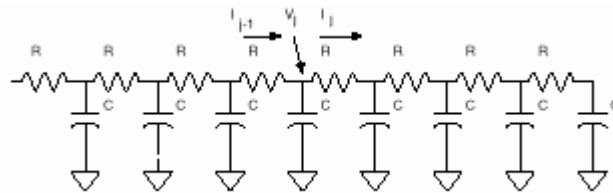
5.3. Efectele RC distribuite.

In paragraful anterior performanta unei porti simple a fost asociata cu incarcarea/descarcarea unei capacitati prin rezistentele canalelor tranzistoarelor P/N. Desi in multe cazuri acest proces introduce limitari, uneori efectele liniilor de transmisie lungi nu pot fi neglijate. In aceste cazuri propagarea semnalului depinde de constantele distribuite R si C , de-a lungul liniei, cat si de impedanta interna a sursei de semnal si de impedanta de sarcina a liniei. In cazul liniilor lungi, realizate din siliciu policristalin, constantele RC distribuite reprezinta principala cauza a intarzierii semnalului. Chiar in cazul inlocuirii traseelor de siliciu policristalin cu un strat de metal (procesele in care se folosesc straturi multiple de metal au devenit frecvente), datorita

dorintei de a obtine viteze ridicate, constantele distribuite RC joaca un rol important, ca factor limitator. In figurile de mai jos se prezinta o linie lunga realizata din siliciu policristalin si schema ei electrica echivalenta, cu constante RC distribuite.



a) linie lunga din siliciu policristalin.



b) circuitul echivalent, cu constante RC distribuite

Pe baza primei teoreme a lui Kirchoff se obtine urmatoarea ecuatie:

$$C \frac{dV}{dt} = I_{j-1} - I_j \approx ((V_{j-1} - V_j)/R) - ((V_j - V_{j-1})/R),$$

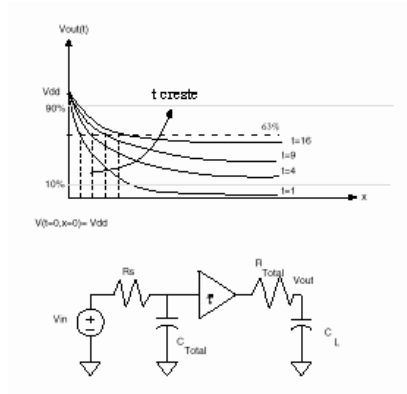
care, in cazul unui numar infinit de tronsoane (in care a fost descompusa linia lunga), devine ecuatie difuziei. De fapt expresia de mai sus reprezinta aproximarea prin diferente finite a ecuatiei Fourier, care guverneaza fenomenele de difuzie (transmisia caldurii s.a.). Daca se considera aplicata o treapta de tensiune la capatul din dreapta al liniei, propagarea acesteia va fi intarziata cu un timp t_x dat de expresia de mai jos:

ceea ce arata ca intarzierea este proportionala cu patratul distantei. O solutie ar consta in sectionarea liniei si introducerea unor tamponi/amplificatoare, ceea ce ar putea conduce, in cel

$$t_x = kx^2.$$

mai bun caz, la o dependenta logaritmica a intarzierii cu distanta.

La frecvente de ordinul GHz inductantele pot juca, de asemenea, un rol important. Pentru tehnologiile prezente efectul inductiv dominant este cel al conexiunilor la pastila.



In calculele care se vor efectua intarzierea va fi asociata cu momentul in care semnalul atinge valoarea de 63% din V_{DD} , conform modelului de mai jos:

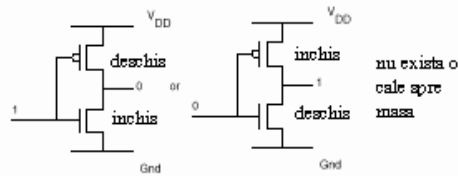
5.4. Puterea disipata.

In mod traditional circuitele CMOS au devenit atractive pentru consumul redus de putere. Principalul motiv este acela ca atunci cand poarta este blocata nu apare nici o cale, pentru curent, de la V_{DD} la masa. Exista insa un curent de scurgere prin jonctiunile P-N inversate, cat si un curent de scurgere prin dielectric. Acesti curenti sunt neglijabili cat timp proiectul nu se bazeaza pe sarcin stocate, ca in cazul memoriei dinamice.

Puterea principala consumata este legata de procesul de comutare, adica de incarcarea si descarcarea sarcinii capacitive. Aceasta componenta devine semnificativa in cazul in care numarul dispozitivelor care comuta este mare, cat si in situatia in care frecventa de comutare este mare. Aceasta putere este consumata/disipata sub forma de caldura. Puterea disipata are o componenta dinamica si una statica. Cele mai multe proiecte de circuite integrate urmaresc reducerea puterii consumate. In aceasta sectiune se vor considera cateva metode pentru estimarea puterii consumate si pentru reducerea acesteia.

5.4.1. Puterea disipata in regim static.

Atunci cand un circuit CMOS se afla in regim static (nu este in comutatie), avand la iesire 0 logic sau 1 logic, unul dintre tranzistoarele P sau N nu conduce, dupa cum se vede din figura de mai jos:



Aceasta implica inexistenta unei cai de la V_{DD} la masa, ceea ce conduce la o putere disipata neglijabila. Motivul pentru care puterea disipata static nu este egala cu zero consta in prezenta jonctiunilor P-N, polarizate in sensul invers conductiei, pe tot cuprinsul pastilei. Aceste diode se caracterizeaza printr-o caracteristica IV de forma:

$$j_o = j_s (e^{qV/KT} - 1),$$

unde j_s este curentul invers de saturatie sau curentul de scurgere. O posibila estimare a puterii disipate static s-ar baza pe ideea de a considera intreaga pastila ca o jonctiune P-N polarizata invers. Evaluand densitatea curentului invers de saturatie si aria pastilei se va obtine puterea totala disipata. Aceasta ar fi ca si cum s-ar estima traficul telefonic intr-un oras mare folosind un singur telefon. In mod surprinzator aceasta abordare este destul de rezonabila. De exemplu, o pastila cu aria de $25 \cdot 10^{-6} m^2$ consuma circa 10 nW, in conditiile unei densitati a curentului invers de saturatie de $10^{-4} A/m^2$. Acest factor este dependent de temperatura putand atinge 100nW pentru un circuit, care opereaza la o temperatura cu $20^\circ C$ peste temperatura mediului ambiant. Astfel, puterea disipata static de catre un circuit CMOS este destul de mica, de cateva zeci de nW, intrucat nu exista o cale directa intre V_{DD} si masa. Cu toate ca acest curent aparent nu are importanta, in prezent el se masoara in cadrul unui test denumit monitorizarea I_{DDQ} . Daca acest curent masurat este de ordinul micro sau miliamperilor inseamna ca exista un defect, care ofera o cale de la V_{DD} la masa, ceea ce din punct de vedere logic nu ridica probleme, dar care poate conduce la probleme de fiabilitate.

5.4.2. Puterea disipata in regim dinamic.

Puterea disipata in regim dinamic are doua componente principale:

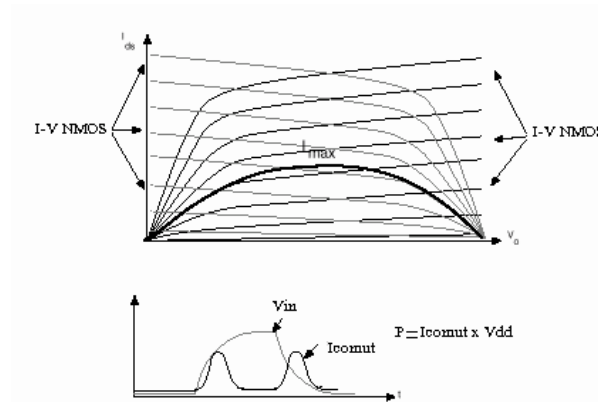
- de tranzitie la comutatie, care apare in momentul realizarii unei cai de curent de la V_{DD} la masa prin cele doua tranzistoare aflate temporar in conductie si

- de incarcare/descarcare a C_L , care se refera la pierderile de energie la incarcarea/descarcarea lui C_L , prin tranzistoarele P si N.

5.4.2.1. Componenta corespunzatoare tranzitiei la comutatie.

Pe durata tranzitiei nivelurilor logice de la $0 \rightarrow 1$ sau de la $1 \rightarrow 0$ exista momente in care cele doua tranzistoare conduc simultan, formand o cale pentru curent, de la V_{DD} la masa, ceea ce da nastere unui varf de curent. Puterea disipata in tranzitia la comutatie poate fi evaluata cu ajutorul figurii de mai jos. Cazul cel mai defavorabil presupune ca circuitul opereaza la frecventa maxima/perioada minima ($t_f + t_r$). Se va presupune ca curentul maxim I_{max} curge conform traiectorie de tranzitie la comutatie de mai jos:

Considerand:



$$V_{in} = V_{DD}/2, V_m = |V_{tp}| = V_{DD}/5 \text{ si } \beta_n = \beta_p :$$

rezulta:

$$I_{max} \approx \beta_n / 2 (V_{DD}/2 - V_{DD}/5)^2 \approx 1/20 \beta_n V_{DD}^2.$$

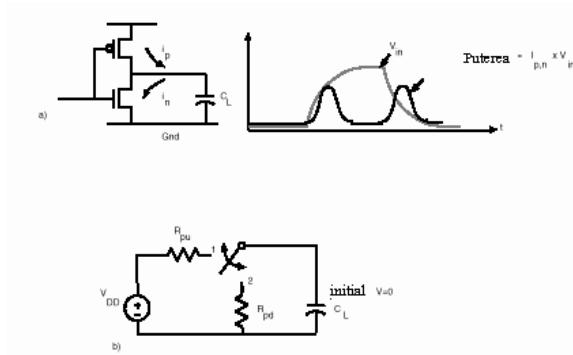
Limita superioara a energiei disipate pe durata unui ciclu devine:

$$E_{\text{disipata/ciclu}} \leq \int_0^{t_f + t_r} I_{max} V_{DD} dt \leq 4/5 C_L V_{DD}^2.$$

Puterea disipata nu va disparea, daca creste perioada. In cazul in care timpii de crestere si cadere cresc, puterea disipata poate varia ca V_{DD}^3 . Circuitele care au tendinta de a consuma putere mare la comutare pot fi esantionate.

5.4.2.2. Incarcarea si descarcarea lui C_L .

Componenta cea mai mare a puterii disipate provine de la incarcarea/descarcarea sarcinii capacitive C_L , dupa cum se poate observa si din figura de mai jos:



Puterea disipata este:

$$P_d = 1/t_p \int_0^{tp/2} i_n(t) V_o dt + 1/t_p \int_{tp/2}^{tp} i_p(t) (V_{DD} - V_o) dt,$$

unde perioada de operare este inversa frecventei de operare f_p :

$$t_p = 1/f_p$$

Astfel, puterea disipata devine:

$$\begin{aligned} P_d &= C_L/t_p \int_{V_{DD}}^0 -V_o dV_o + C_L/t_p \int_0^{V_{DD}} -(V_{DD} - V_o) d(V_{DD} - V_o) \\ &= C_L V_{DD}^2/t_p = f C_L V_{DD}^2 \end{aligned}$$

Expresia pentru energia disipata arata ca aceasta creste odata cu cresterea frecventei. O analiza simpla se poate efectua plecand de la figura b) de mai sus.

- Fie comutatorul trecut pe pozitia 1, care permite incarcarea lui C_L la V_{DD} . Cantitatea de sarcina furnizata este:

$$\int i dt = Q = C_L V_{DD}$$

Energia furnizat de sursa va fi:

$$\int V_{DD} i dt = V_{DD} \int i dt = C_L V_{DD}^2$$

Energia stocata de capacitor va fi:

$$1/2 C_L V_{DD}^2,$$

iar energia disipata in R_{pu} va fi:

$$1/2 C_L V_{DD}^2.$$

- Fie comutatorul trecut in pozitia 2, care asigura descarcarea lui C_L la masa. Energia initiala stocata in capacitor este:

$$1/2 C_L V_{DD}^2$$

iar energia finala este 0, ceea ce inseamna ca energia disipata in R_{pd} este:

$$1/2 C_L V_{DD}^2$$

Energia totala disipata la incarcarea/ descarcarea lui C_L este energia disipata in R_{pu} + energia disipata in R_{pd} :

$$E_{\text{disipata/ciclu}} = 1/2 C_L V_{DD}^2 + 1/2 C_L V_{DD}^2 = C_L V_{DD}^2.$$

Puterea disipata la incarcarea/descarcarea lui C_L va fi:

$$= f C_L V_{DD}^2.$$

Puterea totala disipata de catre un circuit integrat reprezinta suma componentelor statica si dinamica, cea dinamica fiind dominanta. Puterea disipata variaza cu frecventa liniar si cu tensiunea de alimentare la patrat. Aceasta din urma reprezinta motivul pentru care s-a introdus tensiunea de alimentare "standard" de 3,3 V. Tensiunea redusa de alimentare va facilita aparitia dispozitivelor mai rapide, cu dimensiuni mai mici, in ciuda celor sugerate de catre aproximarile pentru t_f si t_r .

5.5. Alternative in proiectare.

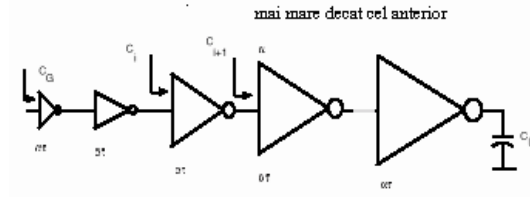
In cele ce urmeaza se vor prezenta solutii alternative pentru problemele legate de consumul de putere al circuitelor integrate CMOS.

- Circuitele care opereaza cu tensiune redusa. Pentru o tehnologie data, in vederea cresterii vitezei, se poate mari local tensiunea de alimentare a unor circuite critice. Una dintre dificultatile cu care se confrunta aceasta solutie se refera la efectele injectiei de purtatori fierbinti in substrat, ceea ce conduce la probleme de “latch-up” potential.
- O tehnologie alternativa. Combinarea dispozitivelor CMOS si Bipolare pe acelasi substrat, desi relativ costisitoare in prezent, ofera avantajele de viteza al dispozitivelor Bipolare si de putere consumata redusa al dispozitivelor CMOS. O alta tehnologie se bazeaza pe GaAs, care asigura viteze mari de lucru atat in aplicatiile numerice, cat si in cele analogice. Din pacate in cadrul acestei tehnologii nu exista dispozitive complementare. Tehnologia ECL asigura o viteza mare de lucru insa consuma o putere insemnata.
- Familii logice cu “bataie” redusa. Cresterea vitezei se poate realiza prin utilizare in unele parti ale circuitului a unor alternative de proiectare. Una dintre acestea se refera la preincarcarea liniilor. Exemplul cel mai comun il reprezinta circuitele RAM, unde sarcina stocata pe capacitor este partajata cu o linie preincarcata si citita diferential.
- Cresterea gradului de paralelism in prelucrarea informatiei. Un exemplu se refera la sumatori paralel, care poate avea transportul succesiv/serial sau anticipat/paralel.

5.6. Exemple.

In acest paragraf se vor prezenta cateva exemple pentru a ilustra unele solutii privind performantele circuitelor CMOS si limitarile lor.

- Incarcarea sarcinilor capacitive mari. Adesea este necesara incarcarea unor sarcini capacitive mari cum sunt liniile lungi, ploturile de I/E si sarcinile capacitive conectate la terminalele circuitelor. Se reaminteste ca valoarea capacitatii unei porti poate fi de ordinul a 0.01 pF , in timp ce sarcina capacitiva din afara circuitului integrat poate avea zeci de pF . Incercarea de a comanda o asemenea sarcina capacitiva cu un inversor elementar ar necesita intervale de timp de ordinul *secundelor*. O solutie ar consta in conectarea in cascada a unor inversoare din ce in ce mai puternice, capabile sa conduca curenti din ce in ce mai mari, ca in figura de mai jos.



Intarzierea pentru un etaj inversor dat este proportionala cu sarcina capacitiva vazuta de acel inversor si invers proportionala cu β etajului. Intarzierea totala este:

$$\tau_N \propto N\alpha\tau,$$

intrucat atat β , cat si sarcina capacitiva vazuta de fiecare etaj se scaleaza cu α . Deoarece,

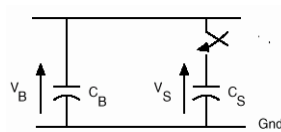
$$\tau_N = \tau \cdot \ln(C_L/C_G) \alpha / (\ln \alpha)$$

N poate fi extras si introdus in τ_N , pentru a obtine

$$C_{i+1} = \alpha C_i \rightarrow C_L = \alpha^N C_G \rightarrow \ln \alpha^N = \ln C_L/C_G,$$

Aceasta expresie ia valoarea minima atunci cand $\alpha = e$, ceea ce implica utilizarea unor $\ln(C_L/C_G)$ etaje succesive, adica 6-7 etaje, pentru cazul de mai sus.

- Partajarea sarcinii. Multe dintre structurile circuitelor CMOS se comporta ca niste condensatori. De exemplu, o linie lunga sau o magistrala este tratata ca un capacitor concentrat: C_B . Presupunand ca se doreste citire unei magistrale cu un capacitor C_S ca in figura de mai jos:



Cei doi condensatori vor fi in paralel la inchiderea comutatorului. Pentru ca V_B sa nu se modifice este necesar ca C_S sa fie mic. De exemplu, presupunand ca V_B este egal cu V_{DD} vom avea $Q = C_B \cdot V_{DD}$, iar cand comutatorul este inchis, sarcina se redistribuie pe cei doi condensatori astfel ca: $Q = (C_B + C_S) \cdot V_{rez}$.

Deci, $V_{rez} = V_{DD} \cdot C_B / (C_B + C_S)$, ceea ce inseamna ca C_S nu trebuie sa depaseasca cateva zecimi din C_B .

- Calculul reimprospatarii pentru DRAM. Un calcul similar se refera la RAM dinamic. Intr-o celula DRAM sarcina este stocata pe un capacitor. O linie de bit preincarcata esantioneaza capacitorul, iar diferenta de tensiune datorita partajarii sarcinii este citita pe linia de bit. Problema care apare se refera la capacitorul de memorare, care se descarca datorita curentului de scurgere prin dielectricul neideal si datorita existentei jonctiunii P-N polarizata in sensul invers conductiei. Pentru a pastra continutul corect in DRAM acesta trebuie reimprospatat periodic, la intervale de *ms*.